

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

Jc834 U.S. PTO  
09/604301  
06/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 6月25日

出願番号  
Application Number:

平成11年特許願第179937号

出願人  
Applicant(s):

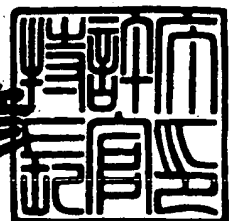
三洋電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 5月12日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3034500



特平 1 1 - 1 7 9 9 3 7

【書類名】 特許願

【整理番号】 KHB0991049

【提出日】 平成11年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 3/14

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号      三洋電機株式  
                                会社内

    【氏名】 筒井 雄介

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号      三洋電機株式  
                                会社内

    【氏名】 小林 貢

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号      三洋電機株式  
                                会社内

    【氏名】 北川 誠

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 近藤 定男

【代理人】

    【識別番号】 100109368

    【弁理士】

    【氏名又は名称】 稲村 悦男

    【連絡先】 電話 0 3 - 5 6 8 4 - 3 2 6 8      法務・知的財産部駐  
                                在

【選任した代理人】

    【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 表示装置の制御回路

【特許請求の範囲】

【請求項 1】 デジタル映像信号が入力され、これに基づいて表示装置の制御を行う制御回路であって、

前記デジタル映像信号を所定の規則に従って分割する分割部と、

該分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、

該メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、

前記メモリ部は、前記分割されたデジタル映像信号がシリアルに入力される所定ワード数の書き込みラインメモリと、該書き込みラインメモリの内容がパラレルに転送される読み出しラインメモリと、該読み出しラインメモリの異なる複数のアドレスにそれぞれ接続された複数の出力端子とを有し、該出力端子の一つからシリアルに出力することを特徴とする表示装置の制御回路。

【請求項 2】 前記表示装置の画面を水平方向に複数領域に分割して制御し、  
前記メモリ部を水平方向の分割数に応じた個数有することを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 3】 前記メモリ部の個数は、前記画面を水平方向に分割する領域の数と、前記表示装置の表示原色数との積であって、  
それぞれの前記メモリ部には、異なる領域もしくは異なる原色の前記デジタル映像信号が入力されることを特徴とする請求項 2 に記載の表示装置の制御回路。

【請求項 4】 前記読み出しラインメモリの出力端子は、256画素分のデータを記憶できるだけのワード数を備えるようなアドレスに設けられていることを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 5】 前記読み出しラインメモリの出力端子は、320画素分のデータを記憶できるだけのワード数を備えるようなアドレスに設けられていることを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 6】 前記読み出しラインメモリの出力端子は、400画素分のデ

ータを記憶できるだけのワード数を備えるようなアドレスに設けられていることを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 7】 前記複数の出力端子のうちのひとつを選択するセレクタを更に有することを特徴とする請求項 1 乃至請求項 6 に記載の表示装置の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶表示装置 (Liquid Crystal Display; LCD) のような、デジタル映像信号を基に各画素を制御して表示を行う表示装置の制御回路に関するものであり、特にデジタル映像信号を水平方向に多相分割して表示を行う表示装置の制御回路に関する。

【0002】

【従来の技術】

以下に従来の表示装置の例として、アクティブマトリクス LCD の制御回路について説明する。図 12 は従来の LCD 及びその駆動回路のブロック図である。従来の駆動回路は、映像信号が入力されるドライバ 101、垂直方向に伸びる複数のデータ線 102、水平方向に伸びる複数のゲート線 103、データ線 102 のうちの一本を順に選択するデータ線セレクタ 104、ゲート線 103 のうちの一本を順に選択し、これにゲート電圧を印加するゲートドライバ 105、データ線 102 とゲート線 103 の格子点にそれぞれ薄膜トランジスタ (Thin Film Transistor; TFT) 106 と共に形成された画素電極 107、ドライバ 101 に接続された共通線 108、ゲートがデータ線セレクタ 104 に接続された TFT 109 を有している。

【0003】

ドライバ 101 にはデジタル信号である映像信号が外部から入力され、これを一時的に保存 (バッファ) して、デジタルアナログ変換 (DA 変換) するなどして、各画素の画素電極に印加する画素電圧を順次出力する。ゲートドライバ 105 は 1 水平走査期間毎に一本のゲート線 103 を選択してゲート電圧を印加し、その行の TFT 106 を導通状態にする。データ線セレクタ 104 は複数接続さ



れた T F T 1 0 9 のうちの一つを選択し、データ線 1 0 2 のうちの一本をアクティブにして画素電圧をデータ線 1 0 4 に印加する。これによって、選択されたデータ線 1 0 2 とゲート線 1 0 3 の交点にある T F T 1 0 6 を介して、これに接続された画素電極に画素電圧が印加される。そして、シフトクロックがハイになると、データ線セクタ 1 0 4 は、次のデータ線 1 0 2 を選択し、これに画素電圧を印加する。以下同様に、データ線セクタ 1 0 4 は 1 水平走査期間の間に左端のデータ線から順に選択し、シフトクロックがハイになるたびに次の画素を選択していき、ドライバ 1 0 1 はそれぞれの画素に印加する画素電圧を順次出力する。

#### 【 0 0 0 4 】

近年の L C D の表示画素数の増加と高精細化に伴って、1 水平走査期間の間に書き込まなければならない画素数が増加している。例えば V G A では水平方向の画素数は 6 4 0 画素であったが、S X G A では 1 2 8 0 画素と 2 倍になっている。この時、同じ垂直ライン数であれば 1 水平期間の長さは変化しないので、画素数が増加すると、シフトクロックの周波数は高くなり、ひとつの画素あたりに電圧を印加するのにかけられる時間は減少する。更に垂直ライン数が増加すると 1 水平期間そのものも短縮される。しかし、ドライバ 1 0 1 の動作速度には上限があり、また、液晶の応答速度にも上限がある。

#### 【 0 0 0 5 】

これに対し、一行分の映像信号を複数に分割して複数の画素電極に並列して電圧印加する制御方法が提案されている。以下にこの例として映像信号を 2 相に分割する制御方法について説明する。

#### 【 0 0 0 6 】

図 1 3 は 2 相に分割する L C D の制御回路のブロック図である。この制御回路は、マルチプレクサ 1 2 1 と 2 段ドライバ 1 2 2 を有し、データ線セクタ 1 2 3 は一度に 2 本のデータ線を選択するよう構成されている点が図 1 2 の制御回路と異なる。

#### 【 0 0 0 7 】

外部より入力される映像信号は、マルチプレクサ 1 2 1 によって 1 画素毎交互

に 2 相に分割されて 2 段ドライバ 1 2 2 に入力される。2 段ドライバ 1 2 2 は 2 画素分のデータを同時に処理して 2 画素分の画素電圧を出力する。データ線セクタ 1 2 3 は隣り合う T F T 1 0 9 を同時に選択し、データ線 1 0 2 のうちの隣り合う 2 本を同時にアクティブにし、2 つの画素電圧を同時に印加する。例えばデータ線セクタ 1 2 3 は、まず 1 列目と 2 列目のデータ線を選択する。2 段ドライバ 1 2 2 は 1 列目と 2 列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次に、シフトクロック 2 周期の後、データ線セクタ 1 2 3 は、3 列目と 4 列目のデータ線を同時に選択し、2 段ドライバ 1 2 2 は 3 列目と 4 列目の画素電圧を出力する。以下、同様にして 2 画素ずつ電圧印加していく。このように、複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を十分に確保することができる。

【0008】

また、表示領域を水平方向にいくつか分割して、複数の画素に並列して電圧印加する制御方法が提案されている。以下にこの例として表示領域を水平 2 分割する制御方法について説明する。

【0009】

図 1 4 は水平 2 領域に分割する L C D の制御回路のブロック図である。この制御回路は、マルチプレクサ 1 3 1 とメモリ部 1 3 2、2 段ドライバ 1 3 3 を有し、データ線セクタ 1 3 4 は一度に 2 本のデータ線を選択するよう構成されている点が図 1 2 の制御回路と異なる。

【0010】

外部より入力される 1 行分の映像信号は、マルチプレクサ 1 3 1 に入力される。マルチプレクサ 1 3 1 は、映像信号のうち前半のデータ、即ち画面左半分のデータをメモリ部 1 3 2 に出力し、メモリ部 1 3 2 はこれを一時的に保存する。メモリ部 1 3 2 は、後半のデータ即ち画面右側半分のデータに同期して前半のデータを 2 段ドライバ 1 3 3 に出力する。2 段ドライバ 1 3 3 は前半、後半それぞれのデータを基に、画素電圧 V 1 及び V 2 を出力する。

【0011】

データ線セクタ 134 はデータ線 135 のうちの 2 本を同時に選択し、2 つの画素電圧を同時に印加する。例えばデータ線セクタ 123 は、まず 1 列目と右半分の最初のデータ線、例えば水平 800 画素の LCD であれば 401 列目のデータ線 134 a を選択する。2 段ドライバ 122 は 1 列目と 401 列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次にデータ線セクタ 134 は、2 列目と 402 列目のデータ線を同時に選択し、2 段ドライバ 133 は 2 列目と 402 列目の画素電圧を出力する。以下、同様にして 2 画素ずつ電圧印加していく。この制御方法によっても、同様に複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を十分に確保することができる。

【0012】

このように、映像信号を多相に分割して、複数の画素に同時に画素電圧を印加することによって、画素数が増加しても画素電圧の印加時間を確保することができるようになる。

【0013】

【発明が解決しようとする課題】

上述したような、様々な駆動方法や、様々な画素数の表示装置に対応するために、それぞれ別個の制御回路が製造されている。しかしながら、それぞれの駆動方法や画素数毎に異なる制御回路を生産すると、ひとつひとつの種類の制御回路は、生産量が少なくなり、結果としてそれぞれの制御回路の製造コストが高くなるという問題が生じる。

【0014】

本発明は、上述したような水平複数領域に分割して LCD を駆動する制御回路であって、動作が効率的で、かつ汎用性に富んだ制御回路を提供することをその目的とする。

【0015】

【課題を解決するための手段】

本発明は上記課題を解決するためになされ、デジタル映像信号が入力され、これに基づいて表示装置の制御を行う制御回路であって、デジタル映像信号を所定



の規則に従って分割する分割部と、分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、メモリ部は、分割されたデジタル映像信号がシリアルに輸入される所定ワード数の書き込みラインメモリと、書き込みラインメモリの内容が平行に転送される書き込みラインメモリと同じワード数を有する読み出しラインメモリと、読み出しラインメモリの異なる複数のアドレスにそれぞれ接続された複数の出力端子とを有し、出力端子の一つからシリアルに出力する表示装置の制御回路である。

【0016】

また、表示装置の画面を水平方向に複数領域に分割して制御し、メモリ部を水平方向の分割数に応じた個数有する。

【0017】

また、メモリ部の個数は、画面を水平方向に分割する領域の数と、表示装置の表示原色数との積であって、それぞれのメモリ部には、異なる領域もしくは異なる原色のデジタル映像信号が入力される。

【0018】

また、読み出しラインメモリの出力端子は、256画素もしくは／及び320画素もしくは／及び400画素分のデータを記憶できるだけのワード数を備えるようなアドレスに設けられている。

【0019】

更に、複数の出力端子のうちのひとつを選択するセレクタを有する。

【0020】

【発明の実施の形態】

まず、第1の実施形態として水平800画素のSVGAパネルを、水平2領域分割で单相の、合計2相分割で制御する制御回路について説明する。図1(a)、図1(b)は水平2領域2相分割を行うための制御回路のブロック図である。本実施形態の制御回路は、入力信号を水平走査期間の前半と後半とに2分割する分割部としての第1のマルチプレクサ1、前半の信号が入力される第1のメモリ部2、後半の信号が入力される第2のメモリ部3、第1、第2のメモリ部それぞ

れの出力を統合して出力する第 2 のマルチプレクサ 4、2 つの信号が同時に入力され、これをバッファ、デジタルアナログ変換を行う 2 段ドライバ 5 を有する。

## 【0 0 2 1】

第 1、第 2 のメモリ部 2、3 はそれぞれシリアルで入力される第 1 の記憶装置としての書き込みラインメモリ 2 a、3 a と、書き込みラインメモリのデータがパラレルに入力され、シリアルで出力する第 2 の記憶装置としての読み出しラインメモリ 2 b、3 b を有する。

## 【0 0 2 2】

映像信号がマルチプレクサ 1 に入力されると、マルチプレクサ 1 は 1 行分の映像信号のうち、各水平走査期間の前半の信号、即ち画面左半分の第 1 の領域に表示される 4 0 0 画素分の映像信号を第 1 のメモリ部 2 の書き込みラインメモリ 2 a に順次出力する。書き込みラインメモリは、4 0 0 ワードの容量を有するラインメモリであり、入力信号はまず 1 番のアドレスに書き込まれる。本明細書において、ラインメモリとは、所定数の記憶領域が直列して配置されているものを指す。そして、次の信号が入力されると、1 番のアドレスに書き込まれた信号は、隣の 2 番のアドレスに転送され、換わって次の信号が 1 番のアドレスに書き込まれる。以下同様に、新たに信号が入力される度に記憶された信号は次の番号のアドレスに転送されていく、シリアル入力となされる。4 0 0 画素分の映像信号が入力されると、書き込みラインメモリ 2 a の記憶領域は全て書き込まれる。次に、マルチプレクサ 1 に水平走査期間の後半の信号、即ち画面右半分の第 2 の領域に表示される 4 0 0 画素分の映像信号が入力され始め、マルチプレクサ 1 は、これを第 2 のメモリ部 3 の書き込みラインメモリ 3 a にシリアルに順次出力する。書き込みラインメモリ 2 a、3 a にそれぞれ 4 0 0 画素分の信号が入力され、4 0 0 番のアドレスまで信号が入力されると、書き込みラインメモリ 2 a、3 a は、全ての記憶内容を読み出しラインメモリ 2 b、3 b にパラレルに転送する。読み出しラインメモリ 2 b は書き込みラインメモリ 2 a と同じワード数（本実施形態では 4 0 0 ワード）を有し、書き込みラインメモリ 2 a のそれぞれのアドレスは、読み出しラインメモリ 2 b の同じ番号のアドレスに接続されており、各アドレスを同時に転送する。この転送は水平ブランキング期間の間に行われ、転送が

終了した後、次の行の映像信号がマルチプレクサ 1 に入力され始めると、同様の処理を繰り返す。

#### 【0023】

一方、読み出しラインメモリ 2b、3b に記憶されたデータは、それぞれの第 400 アドレスのデータが A-Out1、B-Out1 の出力端子からマルチプレクサ 4 に出力され、シリアルに 2 段ドライバ 5 に入力される。Out-1（ここで、Out-1 とは、A-Out1 と B-Out1 との総称であるとする。）は 400 アドレスに接続された出力端子である。ドライバは、メモリ部から出力されたデータを基に表示装置の制御信号を生成する回路である。第 400 アドレスのデータが出力されることによって第 1 ～第 399 のアドレスのデータはひとつずつ次の番号のアドレスに転送される。2 段ドライバ 5 は 2 画素分のデータをバッファして、デジタルアナログ変換を行う等して、A-Out1 の出力に従う電圧 V1 を、B-Out1 の出力に従う電圧 V2 をそれぞれ制御信号として、選択された画素電極に出力する。

#### 【0024】

図 2 は水平 2 領域 2 相分割の LCD を示している。データ線セクタ 11 は 800 本の出力端子のうち 2 つをハイにし、縦方向に伸びるデータ線 12 のうちの 2 本を同時に選択するセクタである。ゲートドライバ 13 は複数のゲート線 14 のうちの 1 本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線 14a と、データ線 12a、12A が選択されているとする。今、V1 と V2 は、それぞれのラインメモリの第 1 アドレスに記憶されていたデータである。図 1 の制御回路の出力 V1 は、データ線 12a を介して 1 列目の画素（以降 n 列目の画素を画素 n と表記する場合がある）に印加され、もう一つの出力 V2 はデータ線 12A を介して画素 401 に印加される。

#### 【0025】

次に、シフトクロック 2 周期の後、再び読み出しラインメモリ 2b、3b の第 400 アドレスのデータを読み出し、ドライバ 5 に入力する。この時第 400 アドレスに書き込まれているデータは、パラレル転送直後には第 399 アドレスに書き込まれていたデータである。そして、第 400 アドレスのデータが読み出されることによって、第 2 ～第 399 のアドレスのデータがひとつ転送される。出

力された第 4 0 0 アドレスのデータに基づいて再び V 1、V 2 がドライバ 5 から出力される。図 2 で、データ線セクタ 1 1 は、シフトクロック 2 周期の後、データ線 1 2 b 及び 1 2 B に切り換えて選択している。これによって、2 列目と 4 0 2 列目の画素に電圧が印加される。

【0 0 2 6】

以下同様にして、3 列目と 4 0 3 列目、4 列目と 4 0 4 列目のように電圧印加していき、4 0 0 列目と 8 0 0 列目の画素に電圧が印加されると 1 行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次の行のゲート線 1 4 b を選択して書き込みを継続する。

【0 0 2 7】

次に、第 1 の実施形態におけるメモリ部 2、3 の役割について述べる。映像信号は連続的に図 1 の制御回路に入力される。これを画面を左右 2 つの領域に分割して電圧印加するために、メモリ部 2、3 に一時的に保存することによって、1 列目の画素と 4 0 1 列目の画素に印加するデータを同時にドライバ 5 に出力することができるのである。また、書き込みラインメモリにはシリアルに入力し、読み出しラインメモリにはパラレルに転送するので、データの書き込みに関して遅延なく行うことができる。

【0 0 2 8】

次に、図 3 のタイミング図を用いて読み出しラインメモリ 2 b、3 b からの読み出し動作をより具体的に説明する。まずタイミング A までで、書き込みラインメモリ 2 a、3 a から読み出しラインメモリ 2 b、3 b へのパラレル転送が完了しており、読み出しラインメモリ 2 b、3 b 合わせて 1 水平ライン分の画素データが記憶されているとする。タイミング A でシフトクロックがハイになると読み出しラインメモリ 2 b に入力される 2 b 読み出しクロックがハイになる。すると読み出しラインメモリ 2 b は画素 1 のデータを出力する。この時、メモリ選択信号はハイになっており、図 1 のマルチプレクサ 4 は読み出しラインメモリ 2 b の出力を選択しており、マルチプレクサ 4 からは画素 1 のデータが出力される。次に一旦ローとなったシフトクロックが再びハイになるタイミング B において、読み出しラインメモリ 3 b に入力される 3 b 読み出しクロックがハイになる。する

と読み出しラインメモリ 3 b は画素 4 0 1 のデータを出力する。メモリ選択信号はタイミング B でローになっており、マルチプレクサ 4 は読み出しラインメモリ 3 b を選択し、このデータを出力する。次に一旦ローとなったシフトクロックが再びハイになるタイミング C において、2 b 読み出しクロックがハイになり、同様にマルチプレクサ 4 からは画素 2 のデータが出力される。また、制御電圧 V 1 として画素 1、V 2 として画素 4 0 1 のデータに応じた電圧がドライバ 5 より出力される。V 1、V 2 の出力は、シフトクロック 2 周期の間継続して出力される。以下、図 3 に図示したように、同様に読み出し動作が継続する。

## 【 0 0 2 9 】

次に第 2 の実施形態として水平 1 6 0 0 画素の U X G A パネルを、水平 4 領域分割で单相の、合計 4 相分割で制御する制御回路について説明する。図 4 ( a ) と図 4 ( b ) は水平 4 領域 4 相分割を行うための制御回路のブロック図である。映像信号を 4 分割する第 1 のマルチプレクサ 2 1、分割された映像信号がそれぞれ入力される第 1 ～第 4 のメモリ部 2 2、2 3、2 4、2 5、各メモリ部それぞれの出力を統合して出力する第 2 のマルチプレクサ 2 6、これをバッファ、デジタルアナログ変換を行う 4 段ドライバ 2 7 を有する。各メモリ部は図 1 のメモリ部 2、3 と同様の構成である。

## 【 0 0 3 0 】

映像信号が入力されるとマルチプレクサ 2 1 は最初の 4 0 0 画素分、即ち画面左 1 / 4 の第 1 の領域の映像信号を第 1 のメモリ部 2 2 に、次の 4 0 0 画素分、即ち画面中央左側の第 2 の領域の映像信号を第 2 のメモリ部 2 3 に、次の 4 0 0 画素分、即ち画面中央右側の第 3 の領域の映像信号を第 3 のメモリ部 2 4 に、次の 4 0 0 画素分、即ち画面右 1 / 4 の第 4 の領域の映像信号を第 4 のメモリ部 2 5 にそれぞれ分割して出力する。各書き込みラインメモリ 2 2 a、2 3 a、2 4 a、2 5 a それぞれにシリアル入力され、水平ブランキング期間中にこれを読み出しラインメモリ 2 2 b、2 3 b、2 4 b、2 5 b に平行転送する。それぞれの第 1 アドレスのデータが A-Out、B-Out、C-Out、D-Out の出力端子から順次マルチプレクサ 2 6 に出力され、シリアルに 4 段ドライバ 2 7 に入力される。4 段ドライバ 2 7 は 4 画素分のデータをバッファして、デジタルアナログ変換を行う

等して画素電極に印加する電圧  $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$  を出力する。

【0031】

図5は水平4領域4相分割のLCDを示している。データ線セクタ15は1600本のデータ線のうち4本を同時に選択するセクタである。ゲートドライバ13はゲート線14のうちの1本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線14aと、4本のデータ線12aが選択されているとする。図1の制御回路が出力した制御信号である画素電圧  $V_1$  は、データ線12aを介して1列目の画素に、出力  $V_2$  は401列目の画素に、 $V_3$  は801列目の画素に、 $V_4$  は1201列目の画素にそれぞれ印加される。

【0032】

次に、図4のマルチプレクサ26は、再び読み出しラインメモリ22b、23b、24b、25bの第400アドレスのデータ（パラレル転送直後には第399アドレスに書き込まれていたデータである）を読み出し、4段ドライバ27に入力する。図5で、データ線セクタ15は、シフトクロック4周期の後、4本のデータ線12bに切り換えて選択している。これによって、画素2、画素402、画素802、画素1202に電圧が印加される。

【0033】

以下同様にして、電圧印加していき、画素400、画素800、画素1200、画素1600に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線14bを選択して書き込みを継続する。

【0034】

次に第3の実施形態として水平800画素のSVGAパネルを、水平2領域分割で3相の、合計6相分割で制御する制御回路について説明する。図1(a)、図1(c)は水平2領域6相分割を行うための制御回路のブロック図である。読み出しラインメモリからのデータ出力の方法と、6段ドライバ7を有する点とが第1の実施形態と異なる。

【0035】

映像信号がマルチプレクサ1に入力されると、第1の実施形態と同様にして書

き込みラインメモリ 2 a に水平走査期間の前半の、書き込みラインメモリ 3 a に後半の映像信号がそれぞれ記憶され、それぞれ読み出しラインメモリ 2 b、3 b に平行に転送される。マルチプレクサ 6 は、読み出しラインメモリ 2 b の第 1 から第 3 アドレスのデータをシリアルに読み出し、続いて読み出しラインメモリ 3 b の第 1 から第 3 アドレスのデータをシリアルに読み出して 6 段ドライバ 7 に出力する。6 段ドライバ 7 は入力された 6 画素分のデータを基に画素電圧 V 1 ~ V 6 を生成し、出力する。

## 【0036】

図 6 は水平 2 領域 6 相分割の LCD を示している。データ線セクタ 1 6 は 800 本のデータ線のうちの 6 本を同時に選択するセクタである。ゲートドライバ 1 3 は複数のゲート線 1 4 のうちの 1 本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線 1 4 a と、出力端子 1 2 a、1 2 A に接続された 6 本のデータ線が選択されているとする。図 1 (c) の制御回路が出力した V 1、V 2、V 3 はそれぞれデータ線 1 2 a を介して 1、2、3 列目の画素に、V 4、V 5、V 6 はデータ線 1 2 A を介して 401、402、403 列目の画素に印加される。

## 【0037】

次に、図 1 (c) のマルチプレクサ 6 は、再び読み出しラインメモリ 2 b、3 b の第 1 ~ 第 3 アドレスのデータ（平行転送直後には第 4 ~ 第 6 アドレスに書き込まれていたデータ）を読み出し、6 段ドライバ 7 に入力され、これに基づいて再び V 1 ~ V 6 がドライバ 7 から出力される。図 6 で、データ線セクタは、シフトクロック 6 周期の後、データ線 1 2 b 及び 1 2 B に切り換えて選択している。これによって、4、5、6 列目と 404、405、406 列目の画素に電圧が印加される。

## 【0038】

以下同様にして電圧印加していき、400 列目と 800 列目の画素に電圧が印加されると 1 行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線 1 4 b を選択して書き込みを継続する。

## 【0039】

次に、図 7 のタイミング図を用いて読み出しラインメモリ 2 b、3 b からの読み出し動作をより具体的に説明する。まずタイミング A までで、書き込みラインメモリ 2 a、3 a から読み出しラインメモリ 2 b、3 b へのパラレル転送が完了しており、読み出しラインメモリ 2 b、3 b 合わせて 1 水平ライン分の画素データが記憶されているとする。タイミング A、B、C でシフトクロックがハイになると、読み出しラインメモリ 2 b に入力される 2 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 2 b は画素 1、2、3 のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図 1 (c) のマルチプレクサ 6 は読み出しラインメモリ 2 b の出力を選択しており、マルチプレクサ 6 からは画素 1、2、3 のデータが順次出力される。次にシフトクロックがハイになるタイミング D、E、F において、読み出しラインメモリ 3 b に入力される 3 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 3 b は画素 4 0 1、4 0 2、4 0 3 のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ 6 は読み出しラインメモリ 3 b を選択し、このデータを出力する。次にタイミング G において、2 b 読み出しクロックがハイになり、同様にマルチプレクサ 6 からは画素 4 のデータが出力される。また、図示しないが、タイミング G からは、制御電圧 V 1、V 2、V 3、V 4、V 5、V 6 として画素 1、2、3、4 0 1、4 0 2、4 0 3 のデータに応じた電圧がドライバ 7 より出力される。V 1 ~ V 6 の出力は、シフトクロック 6 周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0 0 4 0】

ところで、LCD の水平画素数は、上記以外にも、水平 6 4 0 画素の V G A や、水平 1 0 2 4 画素の X G A 等画素数の異なるものがある。これらひとつひとつに異なる画素数の L C D を制御するためには、書き込み及び読み出しラインメモリのワード数（アドレスの総数）をその画素数にあわせて形成すればよい。つまり、V G A で水平 2 領域に分割制御するのであれば、ラインメモリのワード数はその 1 / 2 の 3 2 0 ワード、X G A で水平 4 領域に分割制御するのであれば、その 1 / 4 の 2 5 6 ワードとすればよいのである。



【 0 0 4 1 】

しかし、それら画素数の異なる L C D ごとに制御回路をつくると、ひとつひとつの生産量が少なくなり、それぞれの制御回路の製造コストが高くなる。制御回路に汎用性を持たせ、異なる画素数の L C D に対して同じ制御回路を用いてこれを制御できれば、制御回路の生産量が多くなり、製造コストを抑制することができる。

【 0 0 4 2 】

このために、図 1 の読み出しラインメモリはそれぞれ第 2、第 3 の出力端子 Out 2、Out 3 を有している。（ここで例えば Out 1 は、A-Out 1 と B-Out 1 の総称である。） Out 1 ～ Out 3 の出力端子は、その出力端子が接続されているアドレスより小さい番号のアドレスのデータをシリアルに出力する。そして、図 1（d）に示すように、マルチプレクサ 4 と読み出しラインメモリ 2 b、3 b との間にセレクタ 8 a、8 b を設け、各出力端子のうちのひとつを選択し、アクティブにする。マルチプレクサは入力されるデータを統合し、ドライバは上述した 2 段、6 段、もしくはそれ以外の段数のドライバである。セレクタ 8 a、8 b は L C D に組み込まれる前に、組み込まれる L C D の画素数や制御方法にあわせて何れか一つの出力端子を選択するように設定される。

【 0 0 4 3 】

第 1 の出力端子 Out 1 は上述した実施形態の出力端子として用いる出力端子であって、ラインメモリ 2 b、3 b の 4 0 0 ワード全てを使用する場合の出力端子である。第 1 の実施形態のように、水平 8 0 0 画素の S V G A を水平 2 領域分割する場合や、第 2 の実施形態のように、水平 1 6 0 0 画素の U X G A を水平 4 領域分割する場合は出力端子 Out 1 を用いる。

【 0 0 4 4 】

第 2 の出力端子 Out 2 は、ラインメモリの第 3 2 0 アドレスより出力する。即ちこの場合に用いるラインメモリのワード数は 3 2 0 ワードであり、第 3 2 1 アドレスから第 4 0 0 アドレスまでのメモリ領域は使用しない。水平 6 4 0 画素の V G A を水平 2 領域分割する場合や、水平 1 2 8 0 画素の S X G A を水平 4 領域分割する場合には出力端子 Out 2 を用いる。

## 【 0 0 4 5 】

第 3 の出力端子 Out 3 は、ラインメモリの第 2 5 6 アドレスより出力する。即ち、この場合に用いるラインメモリのワード数は 2 5 6 ワードであり、第 2 5 7 アドレスから第 4 0 0 アドレスまでのメモリ領域は使用しない。水平 1 0 2 4 画素の X G A を水平 4 領域分割する場合には出力端子 Out 3 を用いる。

## 【 0 0 4 6 】

出力端子の位置は上記の例に限らない。例えば 8 0 0 画素の S V G A を水平 4 領域分割するのであれば必要なワード数は 2 0 0 ワードであるので、この場合は第 2 0 0 アドレスに出力端子を設ける。その他、必要性が想定される全てのアドレスに出力端子を設けておけばよい。

## 【 0 0 4 7 】

また、ラインメモリの総ワード数は 4 0 0 ワードに限るものではない。例えば X G A を水平 2 領域分割する場合にはラインメモリの総ワード数は 5 1 2 ワードが必要である。このためには総ワード数が 5 1 2 ワードのラインメモリが必要である。そして、この途中に同様の出力端子を複数設ければよい。

## 【 0 0 4 8 】

出力端子を設ける位置は、必要に応じて任意のアドレスに接続すればよいが、例えば S X G A の 1 / 4 と、V G A の 1 / 2 とは同じ 3 2 0 であるし、U X G A の 1 / 4 と、S V G A の 1 / 2 とは同じ 4 0 0 である。また、コンピュータなどで映像信号を処理する場合、2 5 6 画素がひとつの目安となる。つまり、現在の表示装置の規格は、2 5 6、3 2 0、4 0 0 のいずれかの倍数であることが多く、今後もそれが踏襲されると考えられる。従って、2 5 6、3 2 0、4 0 0 画素分のデータを記憶できるだけのワード数を備えるようなアドレスに出力端子を設けることによって、様々な水平画素数の表示装置に対応できる可能性が高くなり、より汎用性の高い制御回路とすることができる。本明細書においてラインメモリのワード数を 4 0 0 とした意義はこの点にある。即ち、4 0 0 ワードをラインメモリのワード数としておけば、上述の 2 5 6、3 2 0、4 0 0 画素のいずれの画素数にも柔軟に対応することができる。また、2 5 6 の倍、5 1 2 画素を単位として画素数が設定されることもしばしばある。従って、ラインメモリのワード

数は例えば 5 1 2 とすれば、上記のいずれの画素数にも対応できる。ただし言うまでもなく、ワード数を増やせばそれだけ回路面積が増大することになるため、ラインメモリのワード数は必要最小限にとどめておくほうがよい。

## 【 0 0 4 9 】

また、セクタ 8 a、8 b を設ける代わりに、不要な出力端子をレーザ照射などによって破壊してもよい。

## 【 0 0 5 0 】

ところで、図 8 (a) に示すように、水平 2 領域分割すると、それぞれ左端の画素から順に電圧を印加する。(以下左から右へ順にスキャンする方向を正スキャン、右から左を逆スキャンと呼ぶ。) 2 つの領域で正スキャンを行うと左領域は画面中央の画素に最後に、逆に右領域は画面中央の画素に最初に電圧を印加する。この印加時間差によって画面中央に輝度差が生じ、表示品質を低下させる。そこで図 8 (b) や図 8 (c) に示すように左右どちらかの領域を逆スキャンすることによって画面中央を同じタイミングで電圧印加すると、この輝度差が現れなくなる。

## 【 0 0 5 1 】

このために、図 1 (a) の読み出しラインメモリはそれぞれ Out4 を有している。Out4 は、読み出しラインメモリの 1 番目のアドレスから出力する出力端子である。Out4 からの出力は、Out1 ~ Out3 とは逆に、1 番目のアドレスから逆順にシリアルに出力される。そして、図 1 (d) のセクタ 8 a、8 b が Out1 ~ Out4 いずれかの出力端子を選択する。セクタ 8 a、8 b が Out4 を選択した場合、それに応じてデータ線セクタは、逆順に画素を選択する。

## 【 0 0 5 2 】

水平 2 領域で 3 相の 6 相分割の LCD の制御を例に、図 1 (a) (d)、図 9 を用いて説明する。今、セクタ 8 a は A-Out1 を、セクタ 8 b は B-Out4 をそれぞれ選択しているとする。映像信号がマルチプレクサ 1 に入力されると、第 1 の実施形態と同様にして書き込みラインメモリ 2 a に前半の、書き込みラインメモリ 3 a に後半の映像信号が記憶され、それぞれ読み出しラインメモリ 2 b、3 b に転送される。マルチプレクサ 9 は、それぞれの読み出しラインメモリ 2 b、

3 b から 3 画素分のデータをそれぞれ読み出す。ここで、読み出しラインメモリ 2 b からは、第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータが読み出され、読み出しラインメモリ 3 b からは、第 1、2、3 番目のデータが読み出される。これらのデータを基にドライバ 1 0 が順に V 1 ~ V 6 の画素電圧を生成し、図 9 の LCD に出力する。データ線セクタ 1 6' は、左端及び右端の 1 2 a、1 2 A に接続された 6 本のデータ線を選択している。これによって、1 2 a に接続された 3 本のデータ線を介して読み出しラインメモリ 2 b の第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータから生成された V 1、V 2、V 3 が、それぞれ 1、2、3 列目の画素電極に印加される。また、1 2 A に接続された 3 本のデータ線を介して、読み出しラインメモリ 3 b の第 1、2、3 番目のアドレスのデータから生成された V 6、V 5、V 4 が、それぞれ 8 0 0、7 9 9、7 9 8 列目の画素電極に印加される。

【0 0 5 3】

そして、シフトクロック 6 周期の後、再び読み出しラインメモリ 2 b の第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータ（パラレル転送直後は 3 9 7、3 9 6、3 9 5 番目のアドレス）と、読み出しラインメモリ 3 b の第 1、2、3 番目のアドレスのデータ（同 4、5、6 番目）が読み出され、これらを基に生成された画素電圧が、1 2 b 及び 1 2 B に接続された 6 本のデータ線を介して、4、5、6、8 9 7、8 9 6、8 9 5 列目の画素電極に印加される。

【0 0 5 4】

以下同様に繰り返すことで、図 8（c）の表示制御を行うことができる。

【0 0 5 5】

図 8（b）の表示制御は、図 1（d）のセクタ 8 a が A-Out4 を、セクタ 8 b が B-Out1 をそれぞれ選択すれば、ほぼ同様にして行うことができる。

【0 0 5 6】

次に、図 1 0 のタイミング図を用いて、逆スキャンを行う場合の読み出しラインメモリ 2 b、3 b からの読み出し動作をより具体的に説明する。まずタイミング A までで、書き込みラインメモリ 2 a、3 a から読み出しラインメモリ 2 b、3 b へのパラレル転送が完了しており、読み出しラインメモリ 2 b、3 b 合わせ

て 1 水平ライン分の画素データが記憶されているとする。タイミング A、B、C でシフトクロックがハイになると、読み出しラインメモリ 2 b に入力される 2 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 2 b は画素 1、2、3 のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図 1 (d) のマルチプレクサ 9 は読み出しラインメモリ 2 b の出力を選択しており、マルチプレクサ 9 からは画素 1、2、3 のデータが順次出力される。次にタイミング D、E、F において、読み出しラインメモリ 3 b に入力される 3 b 読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ 3 b は画素 8 0 0、7 9 9、7 9 8 のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ 6 は読み出しラインメモリ 3 b を選択し、このデータを出力する。次にタイミング G において、2 b 読み出しクロックがハイになり、同様にマルチプレクサ 6 からは画素 4 のデータが出力される。また、図示しないが、タイミング G からは、制御電圧 V 1、V 2、V 3、V 4、V 5、V 6 として画素 1、2、3、8 0 0、7 9 9、7 9 8 のデータに応じた電圧がドライバ 7 より出力される。V 1 ~ V 6 の出力は、シフトクロック 6 周期の間継続して出力される。以下、同様に読み出し動作が継続する。

## 【0 0 5 7】

本実施形態のポイントとしては、セレクト 8 a、8 b の選択を変えるだけで制御回路の大幅な変更をすることなく逆スキャンを行う LCD を制御できるようにすることができる点にある。従って、逆スキャンを行う LCD とそうでない LCD とで同じ制御回路を用いることができ、製造コストを抑制できる。

## 【0 0 5 8】

ところで、デジタルビデオカメラなどの電子ビューファインダ (Electrical View Finder ; EVF) 等は、撮影者自身を撮影するために、E V F を反転させて、撮影レンズ側に E V F の表示領域を向けることができるものがある。この時の E V F の表示は、左右を反転させた鏡像とするものが主流である。図 1 (a) と図 1 (d) に示した本発明の LCD 制御回路によれば、このような鏡像表示にも対応することができる。以下に鏡像表示の制御動作について説明する。

## 【0059】

映像信号がマルチプレクサ 1 に入力されると、第 1 の実施形態と同様にして書き込みラインメモリ 2 a に前半の、書き込みラインメモリ 3 a に後半の映像信号が記憶され、それぞれ読み出しラインメモリ 2 b、3 b に転送される。今、セレクタ 8 a は A-Out1 を、セレクタ 8 b は B-Out4 をそれぞれ選択している。マルチプレクサ 9 はまずセレクタ 8 b の出力から先に読み込み、次にセレクタ 8 a の出力を読み込む。従って、データは、読み出しラインメモリ 2 b の第 400、399、398 アドレスのデータ、読み出しラインメモリ 3 b の第 1、2、3 アドレスのデータの順に読み出される。そして、これらデータを基に、順に V1～V6 の画素電圧を生成する。これを図 9 の LCD に印加する。最初、上記と同様に 12 a、12 A の 6 本のデータ線が選択されている。そして、第 1、2、3、798、799、800 列目のそれぞれの画素電極には、順に読み出しラインメモリ 2 b の第 400、399、398 アドレスのデータ、読み出しラインメモリ 3 b の第 3、2、1 アドレスのデータを基に生成された画素電圧が印加される。

## 【0060】

次に 12 b、12 B に接続された 6 本のデータ線を介して、第 4、5、6、797、796、795 列目の画素電極に順に読み出しラインメモリ 2 b の第 400、399、398 アドレス（パラレル転送直後は 397、396、395 アドレス）のデータ、読み出しラインメモリ 3 b の第 3、2、1 アドレス（同 6、5、4 アドレス）のデータを基に生成された画素電圧が印加される。以下同様にして印加することによって、鏡像表示の制御を行うことができる。

## 【0061】

通常表示と鏡像表示の切り替えは、例えば EVF を回転させたときに鏡像を表示するための鏡像信号を出力するような出力回路を設けておき、これに応じて制御回路の動作も切り替えるようにしておく。

## 【0062】

次に、図 11 のタイミング図を用いて、鏡像表示を行う場合の読み出しラインメモリ 2 b、3 b からの読み出し動作をより具体的に説明する。図 10 のタイミング図とは、読み出しクロック 2 b、3 b が入れ替わり、メモリ選択信号の位相

が逆転している点で異なっている。まずタイミングAまでで、書き込みラインメモリ2 a、3 aから読み出しラインメモリ2 b、3 bへのパラレル転送が完了しており、読み出しラインメモリ2 b、3 b合わせて1水平ライン分の画素データが記憶されているとする。タイミングA、B、Cでシフトクロックがローになると、読み出しラインメモリ3 bに入力される3 b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3 bは画素800、799、798のデータを順次出力する。この間、メモリ選択信号は継続的にローになっており、図1 (d) のマルチプレクサ9は読み出しラインメモリ3 bの出力を選択しており、マルチプレクサ9からは画素800、799、798のデータが順次出力される。次にタイミングD、E、Fにおいて、読み出しラインメモリ2 bに入力される2 b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ2 bは画素1、2、3のデータを出力する。この間、メモリ選択信号は継続的にハイになっており、マルチプレクサ9は読み出しラインメモリ2 bを選択し、このデータを出力する。次にタイミングGにおいて、3 b読み出しクロックがハイになり、同様にマルチプレクサ9からは画素797のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素800、799、798、1、2、3のデータに応じた電圧がドライバ10より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0063】

以上の説明は、理解しやすくするために、それぞれの駆動方法毎に分けて説明したが、それぞれの駆動方法を組み合わせて実施した、ひとつの制御回路とすることによって、

- ①様々な画素数
- ②逆スキャン
- ③鏡像表示

のいずれの表示方法に対してもひとつの制御回路によって対応することができる。即ち、例えば図1 (b) の制御回路はセクタ8 a、8 bを省略し、ドライバ

5は3段目以降の端子を用いない多段ドライバ10である。

【0064】

また、以上の説明は、理解しやすくするために、モノクロームの表示装置で説明したが、もちろんカラーの表示装置にも適用できる。この場合は、分割する領域の数とカラー表示の原色の数の積だけメモリ部が必要となる。例えばRGBの3色のデータがあって、水平2領域に分割表示する場合、2組のメモリ部を3色分、即ち合計6組のメモリ部が必要となる。

【0065】

なお、上記の実施形態では、表示装置の例としてLCDを用いて説明したが、この限りではない。例えば有機EL (Electro Luminescence) 素子を用いた表示装置であれば、制御信号は、「各画素電極に印加する電圧V1」ではなく、「各画素の有機EL素子に印加する電圧」であるし、陰極線管 (CRT ; Cathode Ray Tube) を用いた表示装置であれば、「電子加速電圧」などのように読み換えて、様々な表示装置の制御回路として用いることができる。

【0066】

【発明の効果】

上述したように、本発明によれば、シリアルに入力される第1の記憶装置と、その記憶内容がパラレルに転送される第2の記憶装置を備え、第2の記憶装置の複数の所定アドレスに設けられた複数の出力端子からシリアルに出力するメモリ部を有するので、様々な画素数の様々な制御方法LCDに対応することができる。従って、製造コストを低く抑えることができる。

【0067】

また、読み出しラインメモリの出力端子は、256画素もしくは／及び320画素もしくは／及び400画素分のデータを記憶できるだけのワード数を備えるようなアドレスに設けられているので、VGA、XGA、SXGAなど、既存の表示方式で分割制御する場合に好都合だけでなく、今後採用される表示方式にも対応できる可能性が高い。

【図面の簡単な説明】

【図1】





本発明の制御回路を示すブロック図である。

【図 2】

水平 2 領域単相表示の表示装置を示す図である。

【図 3】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 4】

本発明の別の実施形態を示すブロック図である。

【図 5】

水平 4 領域単相表示の表示装置を示す図である。

【図 6】

水平 2 領域 3 相表示の表示装置を示す図である。

【図 7】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 8】

逆スキャンを説明するための図である。

【図 9】

逆スキャンを行う表示装置を示す図である。

【図 1 0】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 1 1】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 1 2】

従来のアクティブマトリクス LCD 及びその制御回路を示す図である。

【図 1 3】

従来の 2 相表示の LCD 及びその制御回路を示す図である。

【図 1 4】

従来の水平 2 領域単相表示の LCD 及びその制御回路を示す図である。

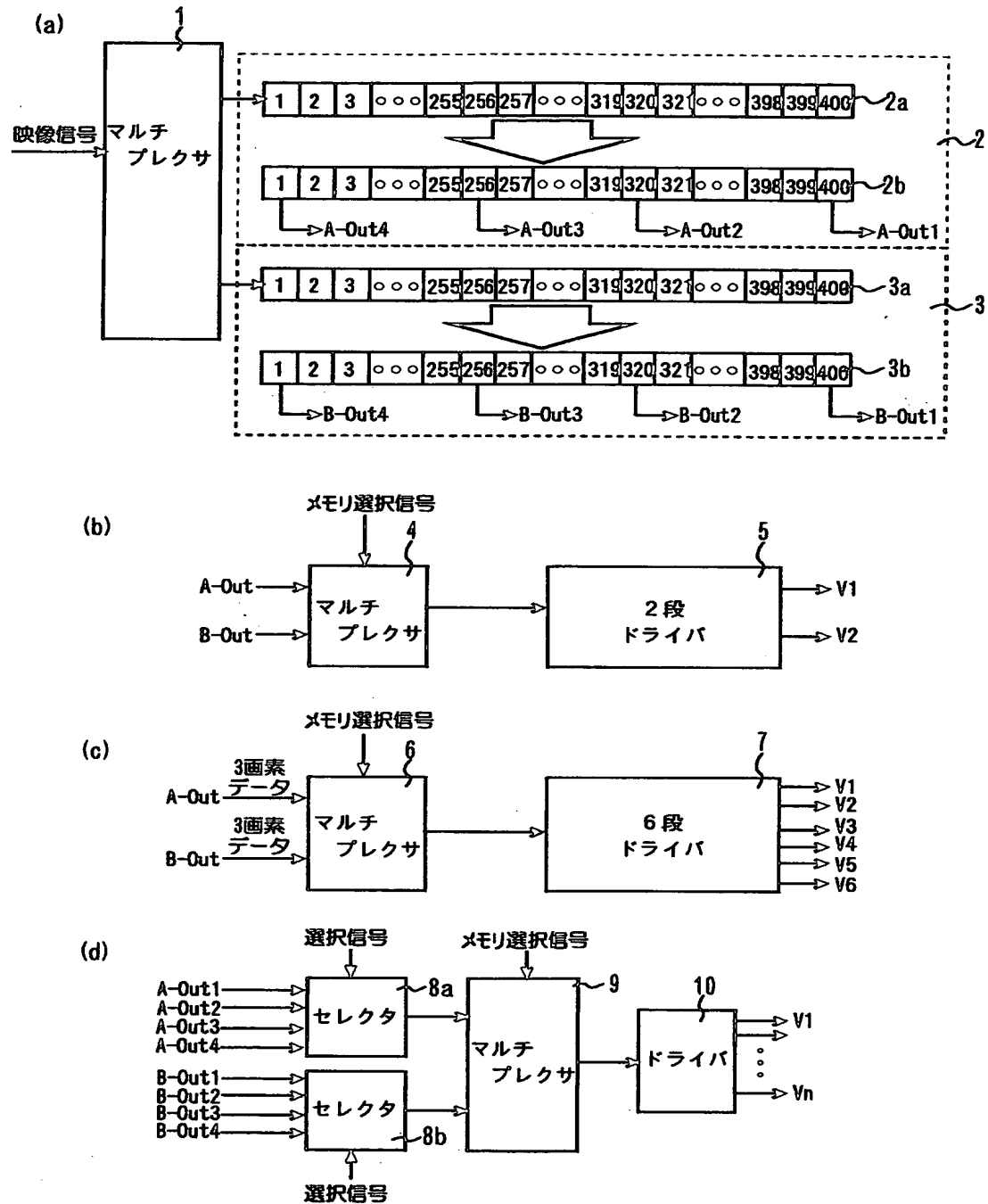
【符号の説明】

1, 4, 6 : マルチプレクサ、 2, 3, 2 2, 2 3, 2 4, 2 5 : メモリ部

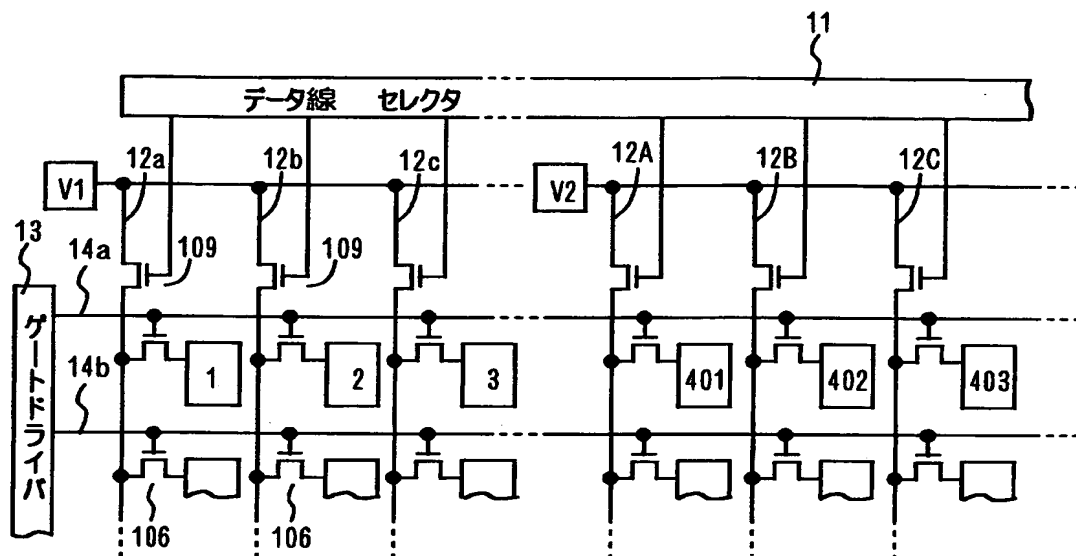
2 a, 3 a : 書き込みラインメモリ、2 b, 3 b : 読み出しラインメモリ  
5, 7, 10 : ドライバ

【書類名】 図面

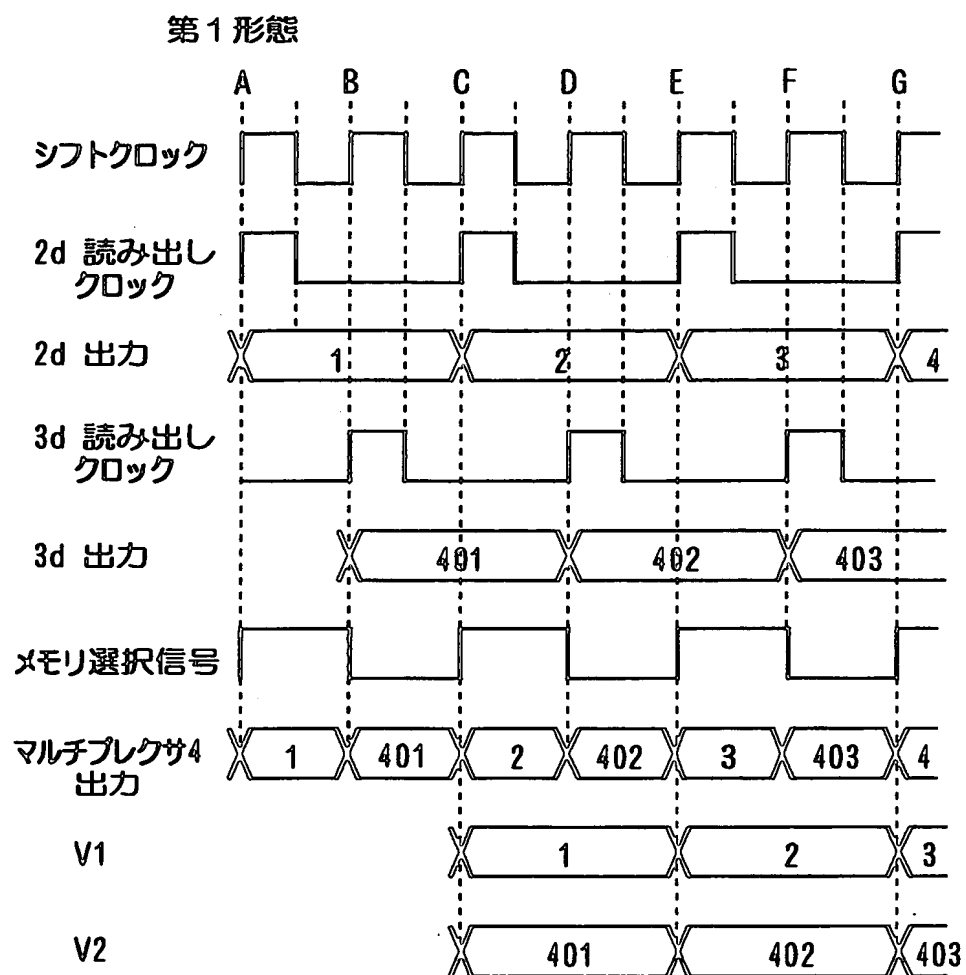
【図 1】



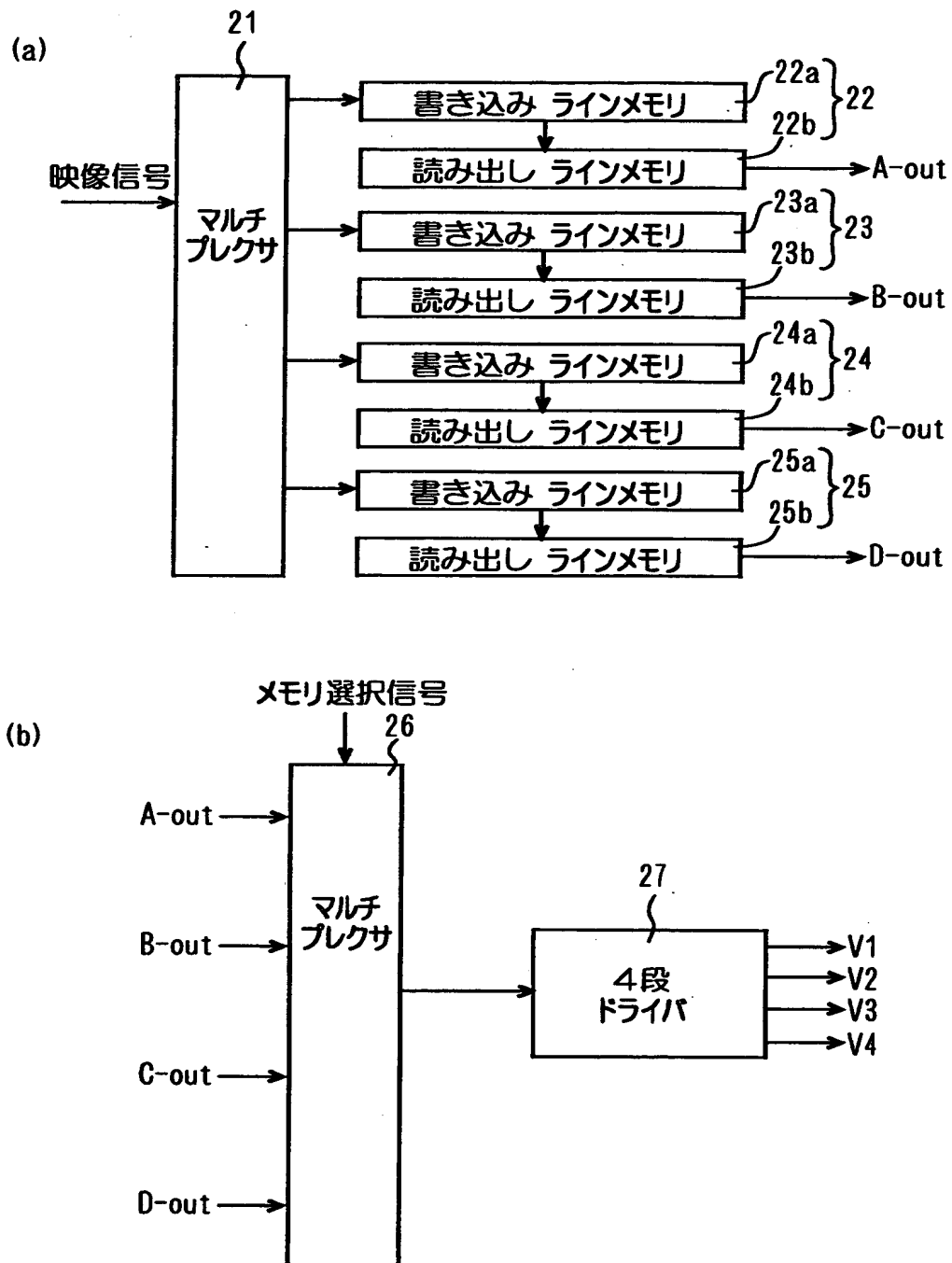
【図 2】



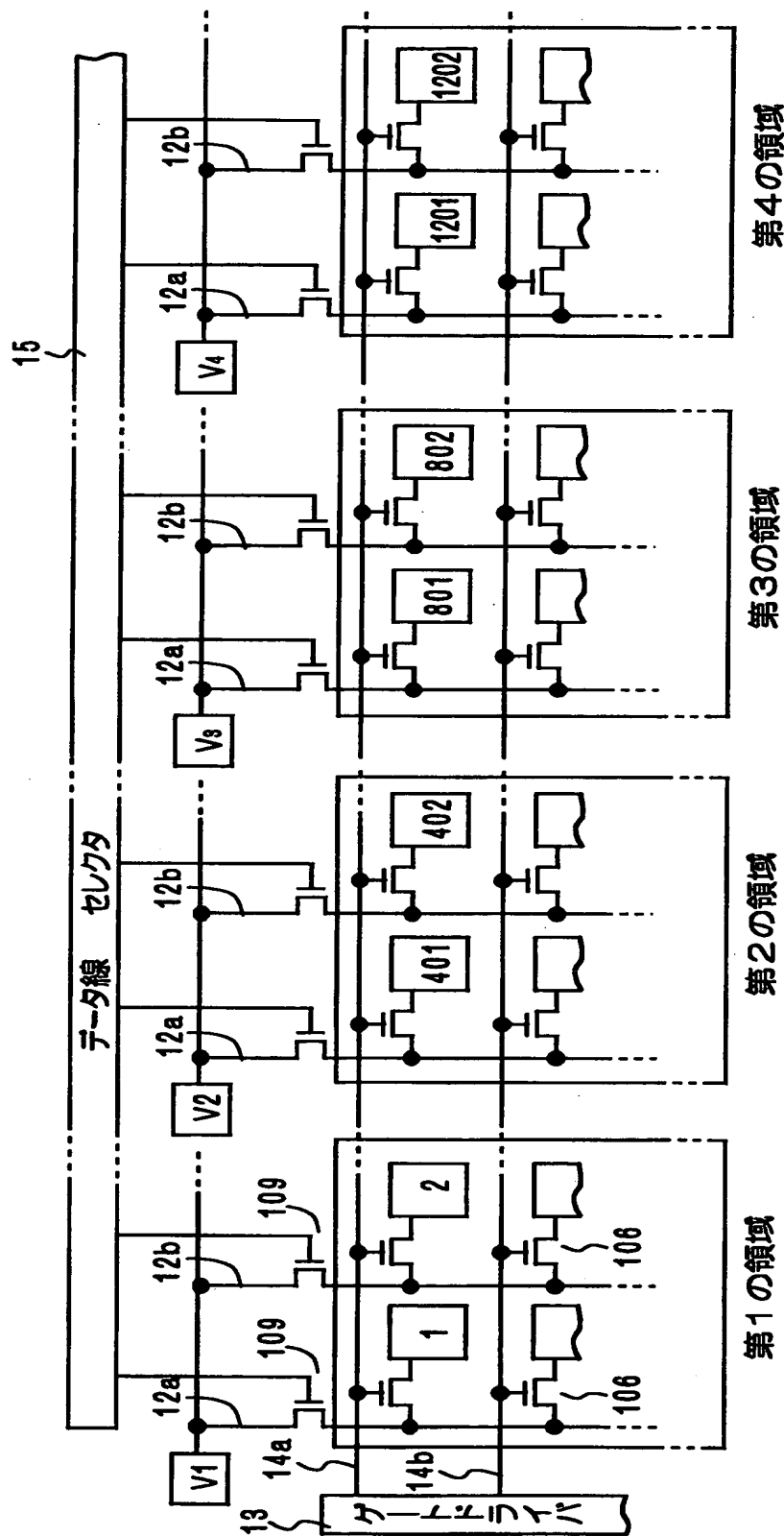
【図 3】



【図 4】

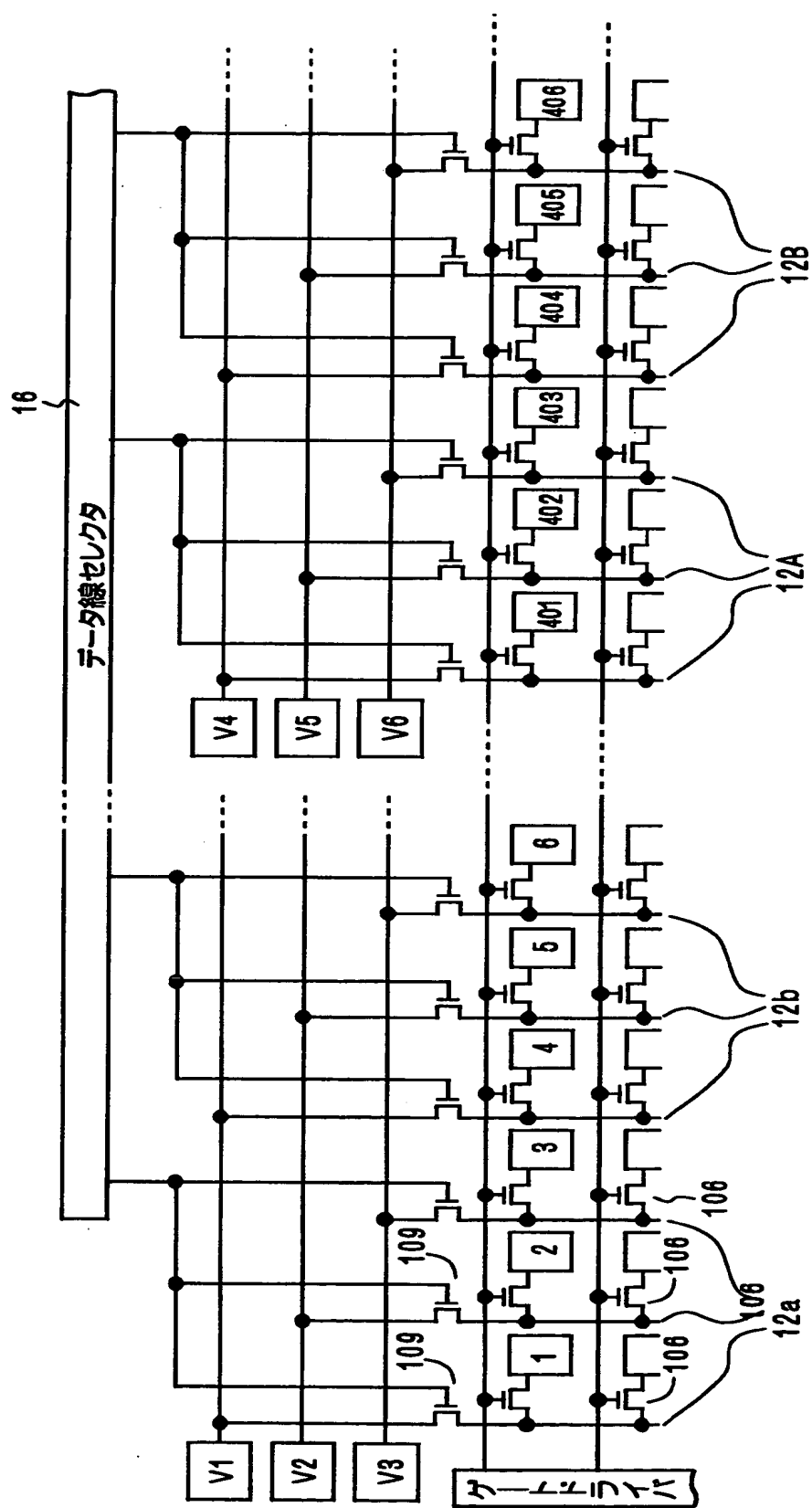


【図 5】

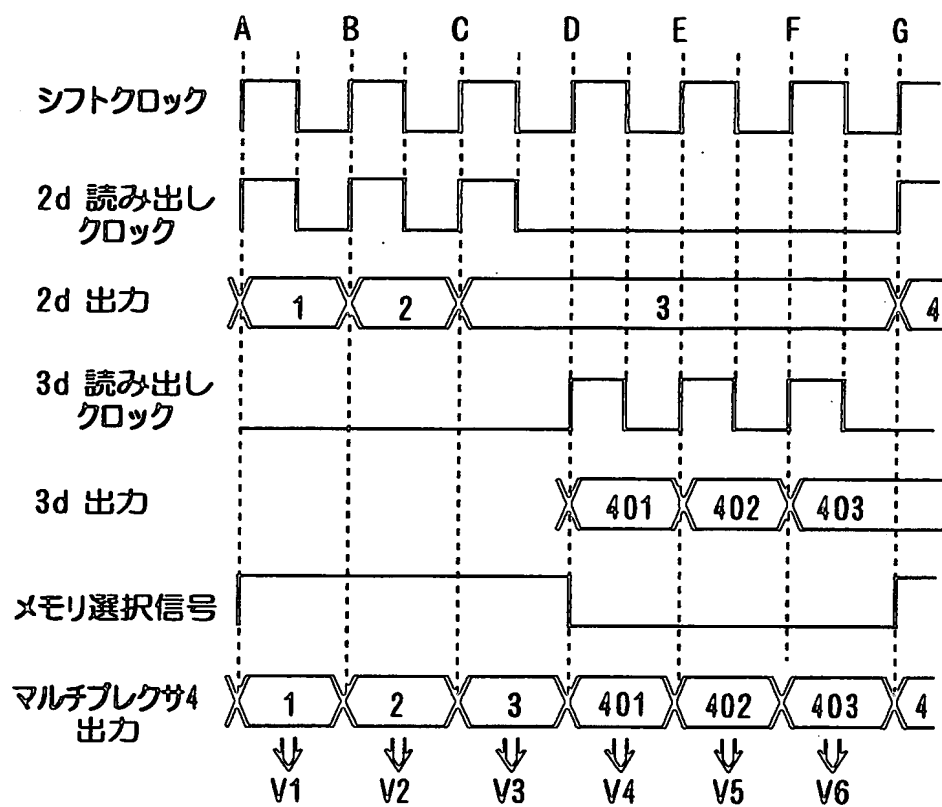


【図 6】

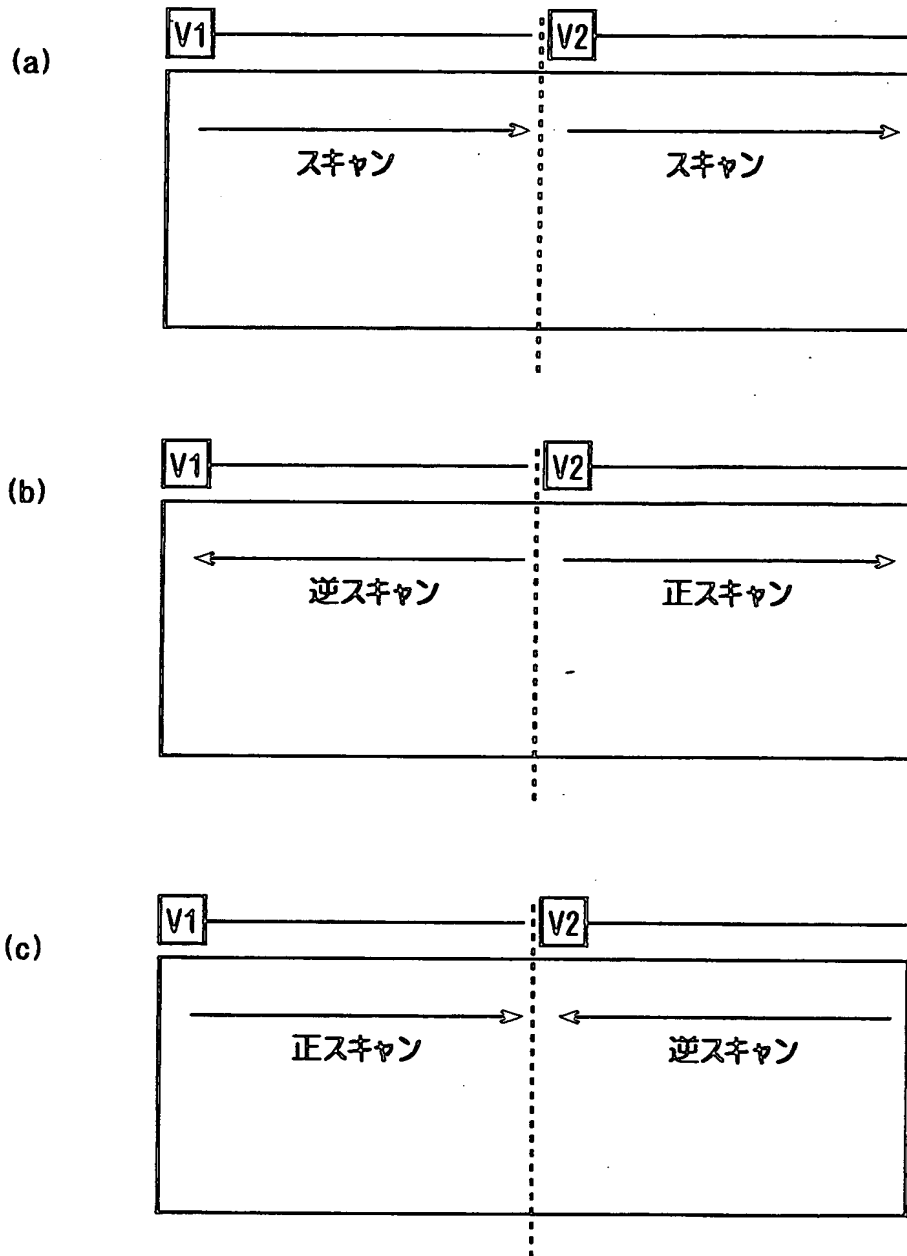




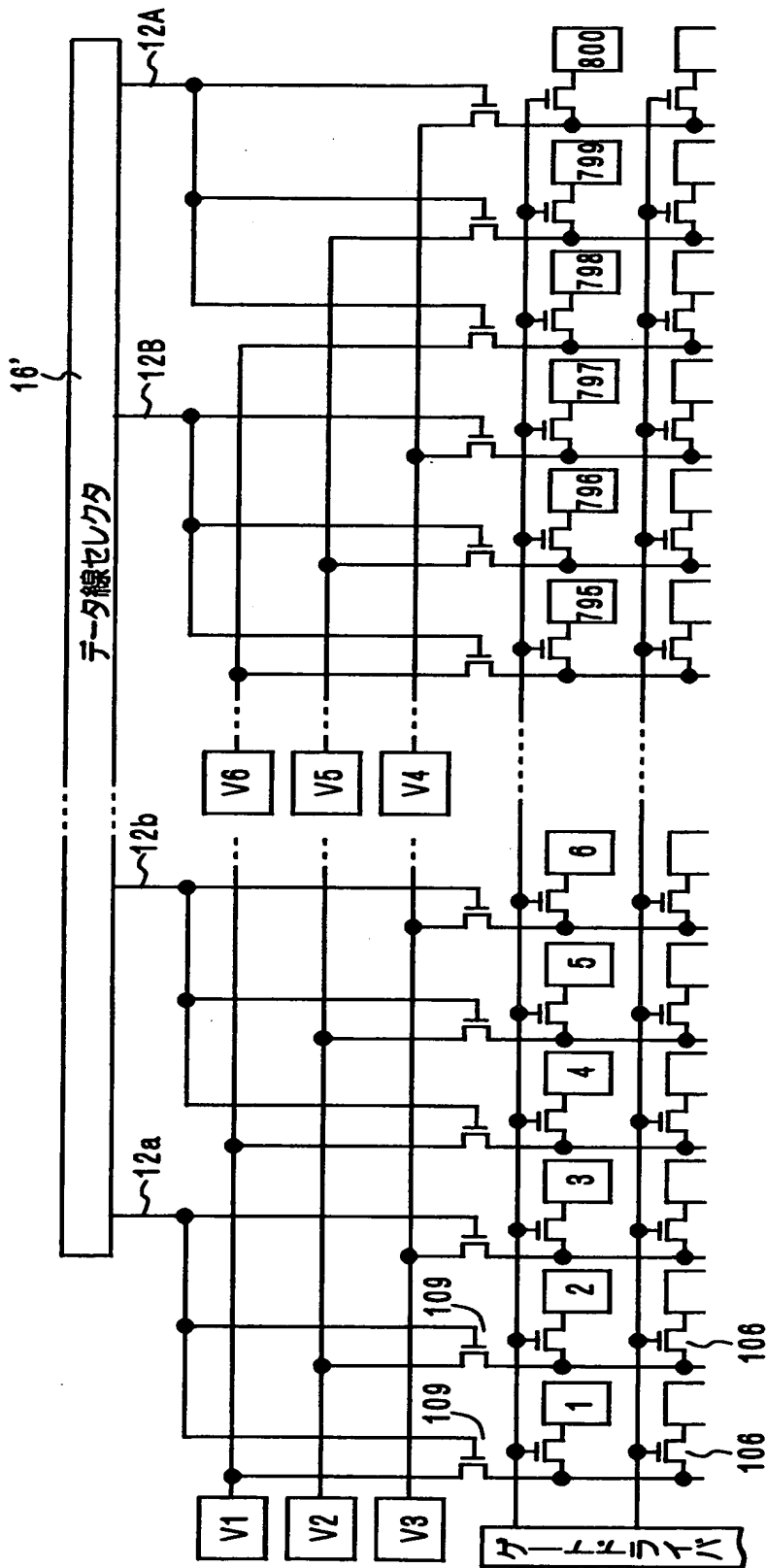
【図 7】



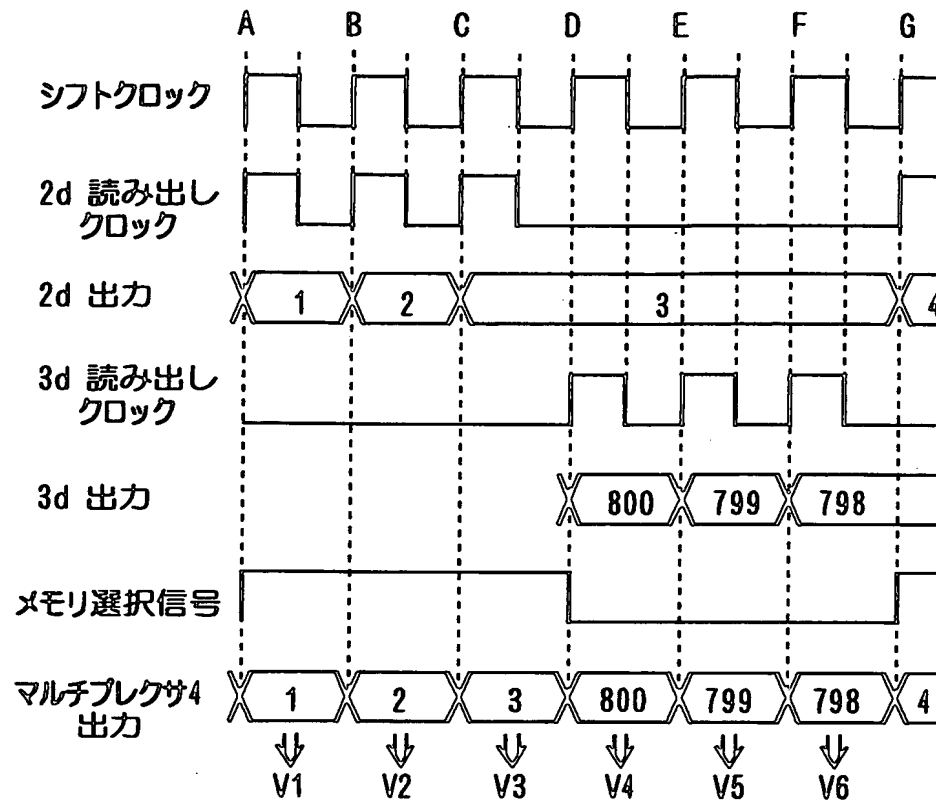
【図 8】



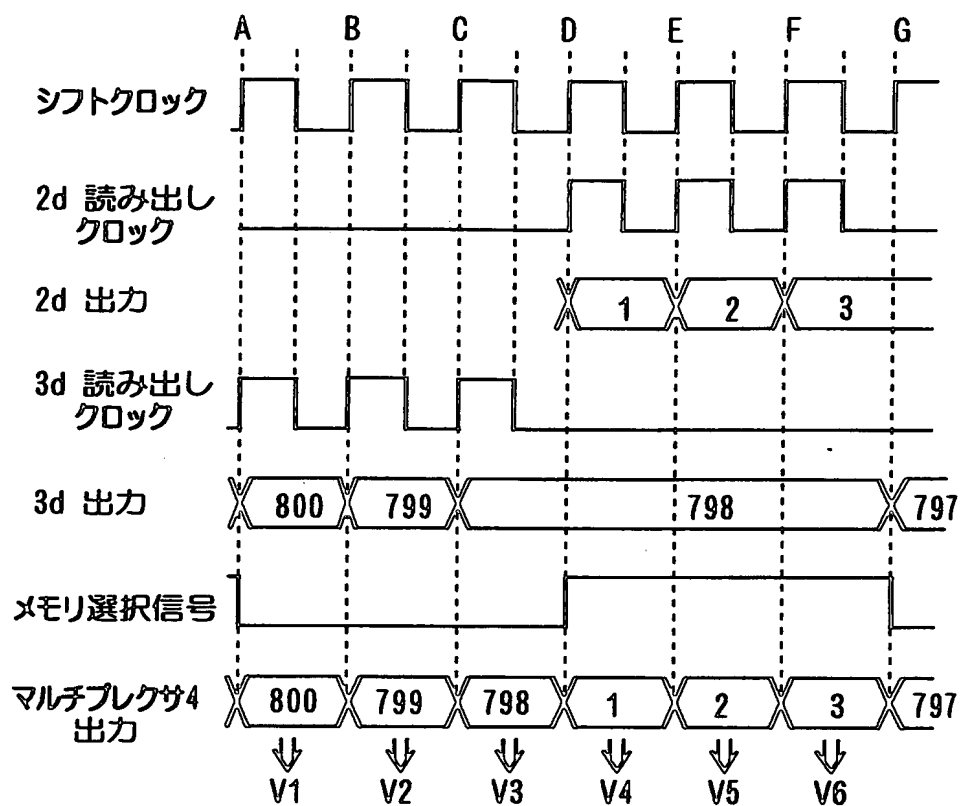
【図 9】



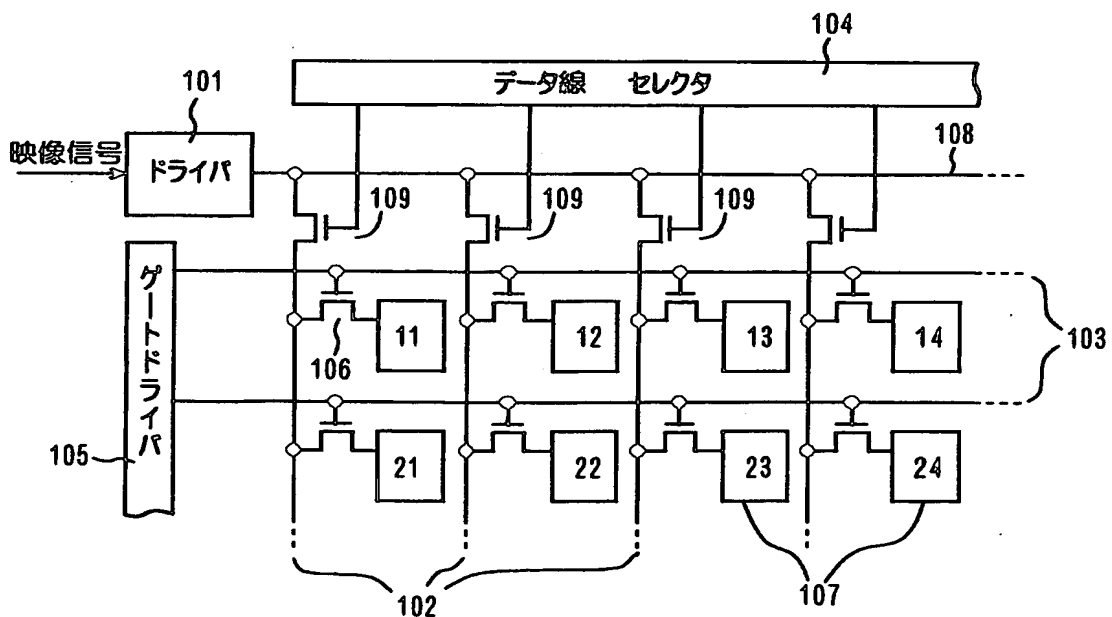
【図 1 0】



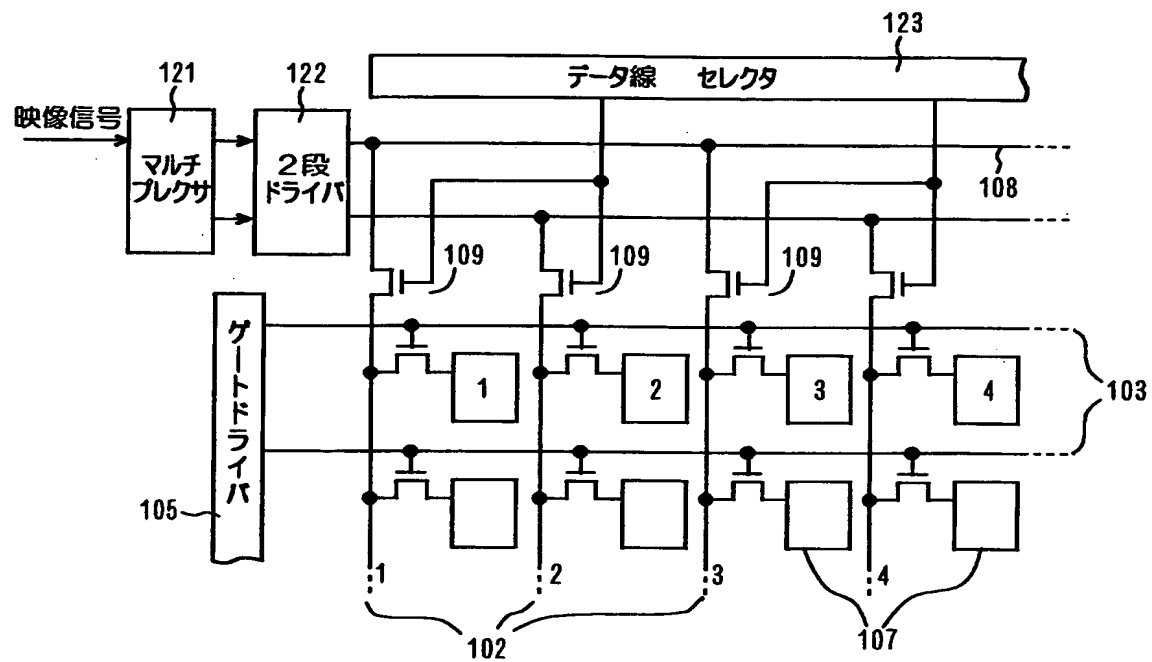
【図 1 1】



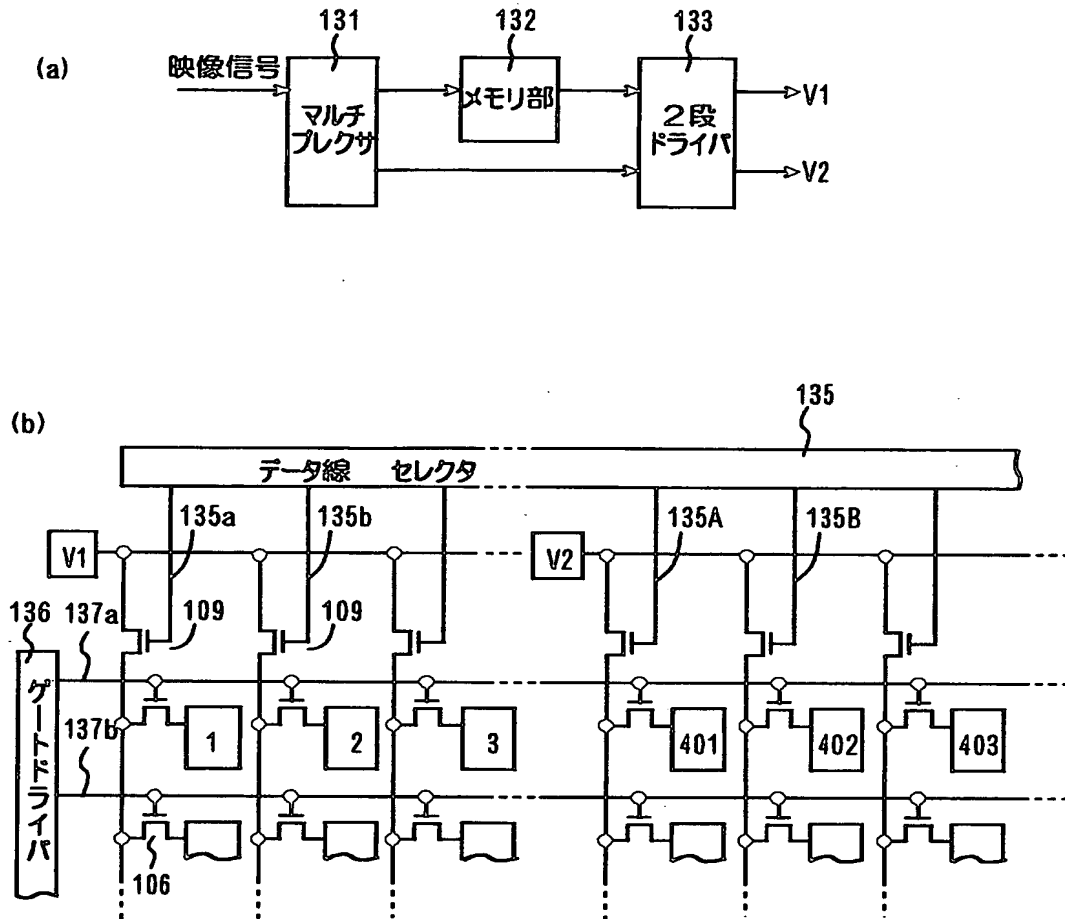
【図 1 2】



【図 1 3】



【図 1 4】





【書類名】 要約書

【要約】

【課題】 複数の画素数、複数の駆動方法の表示装置に対応できる汎用性の高い表示装置の制御回路を得る。

【解決手段】 映像信号をマルチプレクサ 1 によって分割制御する画面の領域毎に分割し、それぞれを複数のメモリ部 2、3 に一時保存する。メモリ部はシリアルに入力される書き込みラインメモリと、それがパラレルに転送される読み出しラインメモリを有し、読み出しラインメモリからはシリアルに出力される。複数のメモリ部の出力をドライバ 5 で変換し、表示装置が L C D であれば画素電圧として出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[ 変更理由 ]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社